

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223720

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H01L 29/861
H01L 21/322

(21)Application number : 11-021637

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 29.01.1999

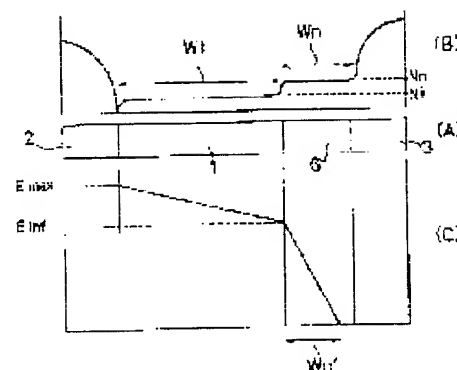
(72)Inventor : YAMADA SHINICHI

(54) SEMICONDUCTOR ELEMENT AND LIFE TIME CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To relax rapid current drop at the time of the end of inverse recovery, and to reduce spike voltage.

SOLUTION: A p type anode layer 2 and an n+ type cathode layer 3 are respectively formed at one edge and the other edge of a substrate constituted of an n type semiconductor whose density is extremely low, and an i layer 1 is formed between the p type anode layer 2 and the n+ type cathode layer 3 in this semiconductor element. An n type impurity layer 6 whose density is lower than that of the n type cathode layer 3 is formed between the i layer 1 and the n+ type cathode layer 3. A distance W_n of the n type impurity layer 6 is made sufficiently shorter than a distance W_i of the i layer 1. Also, the following formula is established by defining the maximum electric field intensity as E_{max} , and electric field intensity when the inclination of the electric field is changed due to the difference of density of the i layer 1 and the n type impurity layer 6 as E_{inf} , and a distance from the distance W_i when the electric field is turned into 0 as W_n' ($W_n' < W_n$) for obtaining a design breakdown strength V_b of the semiconductor element. In this formula, $V_b = (E_{max} + E_{inf})W_i/2 + E_{inf}W_n'/2$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2000-223720
(P2000-223720A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl. ⁷	識別記号	F I	テラコード*(参考)
H 0 1 L 29/361		H 0 1 L 29/91	D
21/322		21/322	L
		29/91	J

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21)出願番号 特願平11-21637

(22)出願日 平成11年1月29日(1999.1.29)

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72)発明者 山田 真一

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

(74)代理人 100062199

弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体素子およびライフタイム制御方法

(57)【要約】

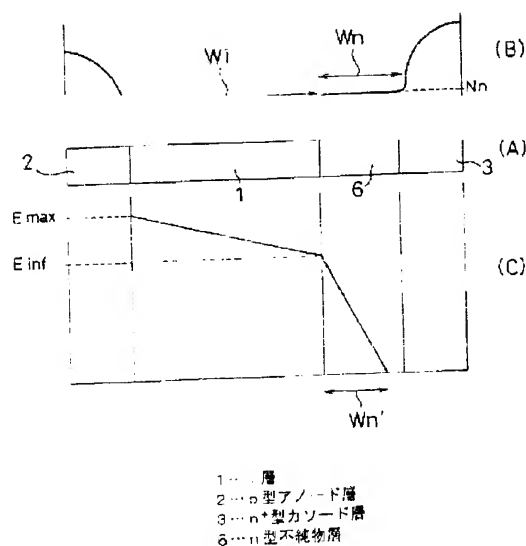
【課題】 逆回復終了時の急激な電流低下を緩和し、スパイク電圧を抑制する。

【解決手段】 極めて低濃度のn型半導体から成る基板

型カソード層3を形成し、前記p型カソード層とn型カソード層3との間に、層1を形成して成る半導体素子において、前記層1とn型カソード層3との間に、n型カソード層3よりも低濃度のn型不純物層6を形成する。前記n型不純物層6の距離 W_n は前記層1の距離 W_i と比較して十分短くする。また、前記半導体素子の設計耐圧 V_b を得る必要があるため、最大電界強度を E_{max} 、層1とn型不純物層6との濃度差によって電界の傾きが変わる際の電界強度を E_{inf} 、電界が0になった際の W_i からの距離を W_n' ($W_n' < W_n$)として、下記の式が成り立つようにする。

$$V_b = (E_{max} + E_{inf})W_i / 2 + E_{inf}W_n' / 2$$

本発明の実施の第1形態におけるp-i-nダイオード



【特許請求の範囲】

【請求項1】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記カソード層と1層との間に、前記カソード層と比較して低濃度のn型半導体から成る下純物層を設けたことを特徴とする半導体素子。

【請求項2】 前記下純物層の厚さは、前記1層の厚さと比較して薄くしたことを特徴とする請求項1記載の半導体素子。

【請求項3】 真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、カソードギャップを E_g 、前記1層の濃度を N_1 、前記1層の厚さを W_1 、前記下純物層の濃度を N_n 、前記下純物層の厚さを W_n 、前記下純物層における電界が0の部分と前記 W_1 との間の距離を $W_{(x)}$ 、最大電界強度を E_{max} 、前記1層とn型半導体層との濃度差によって電界の傾きが変化する際の電界強度を E_{inf} 、設計耐圧を V_b 、前記アノード層と1層との接合で得られる最大の耐電圧値を V_{bm} として

前記 V_b は $(E_{max} - E_{inf})W_1/2 - E_{inf}W_n/2$

前記 E_{max} は前記 N_1 の濃度 N_1 の関数 $(2\epsilon_0\epsilon V_{bm}/qN_1)^{1/2}$ 、

前記 E_{inf} は $E_{max} - qN_1W_1/\epsilon_0\epsilon$ 、

前記 W_n は $E_{inf}/(qN_n)\epsilon_0\epsilon$

$$V_b = \left(\sum_{x=0}^{n-1} (E_{(x)} - E_{(x+1)})W_{(x)} + E_{(n)}W_{(n)} \right) / 2$$

が成り立つようにすると共に、前記 $W_{(n)}$ から $W_{(n)}'$ を引いた距離が前記カソード側に生じる電界の距離と比較

したことを特徴とする半導体素子において、

【請求項7】 請求項6記載の半導体素子において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、前記アノード層と1層との接合で得られる最大の耐電圧値を V_{bm} として、 $E_{(n)} = 2V_{bm}/(2\epsilon_0\epsilon V_{bm}/qN_1)^{1/2} - E_{inf}$ ($n=0$)は

【数2】

$$E_{(0)} = q/\epsilon_0\epsilon \times \sum_{x=0}^{n-1} (N_{(x)}W_{(x)})$$

となることを特徴とする半導体素子。

【請求項8】 前記複数段の下純物層は、濃度分布の式が近似的にガウス分布となるように基板の距離 d_0 からピーク濃度 N_n の拡散を行って形成し、前記 d_0 と、前記拡散による濃度が1層の濃度 N_1 の2

前記 V_{bm} は $60(10^{16}/N_1)^{3/4} > (E_g/1.1)^{3/2}$ 、となるようにし、

前記 W_n から W_n' を引いた距離が前記基板のカソード側に生じる電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記下純物層の濃度、厚さを設計したことを特徴とする請求項1記載の半導体素子。

【請求項4】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記1層とカソード層との間に、それぞれ前記1層の濃度と比較して高濃度のn型半導体から成る下純物層を複数段設けたことを特徴とする半導体素子。

【請求項5】 前記下純物層は、前記1層の濃度 N_1 と比較して高濃度のn型半導体から成る第1下純物層と、前記第1下純物層と比較して高濃度のn型半導体から成る第2下純物層と、から成ることを特徴とする請求項4記載の半導体素子。

【請求項6】 前記下純物層を C 段設け、前記1層の濃度を N_1 、厚さを W_1 とし、前記基板の深さ方向の任意の距離 x 、その x に生じる電界を $E_{(x)}$ 、厚さを $W_{(x)}$ 、濃度を $N_{(x)}$ とし、 C 段目から下純物層の電界を $E_{(n)}$ 、厚さを $W_{(n)}$ とし、前記 C 段目の下純物層における電界が0の部分と前記 W_1 との間の距離を $W_{(x)}'$ とし、設計耐圧を V_b として、下記の数式、

【数1】

倍になる部分との間の距離を W_d として

【数3】

$(x-d_0)^2$

$$N_{(x)} = N_1 + (N_n - N_1) \left(\frac{W_{(x)}}{W_n} \right)^2$$

が成り立つようにし、

前記 $N_{(x)}$ の式に $x=0$ とする x の微小の間隔 Δx を前記設計耐圧 V_b の式に $W_{(x)}$ とすると共に、前記微小の間隔 Δx の濃度を $N_{(x)}$ として求めた耐圧が設計耐圧 E となるように、前記 $N_n = d_0$ 、 W_d を設計したことを特徴とする請求項6または7記載の半導体素子。

【請求項9】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のハイタイム制御方法において、

電流の急激な減少が起こる直前の印加電圧によって生じ

る電界で、前記1層側の一端とカソード層との間のライフタイムを長くするように、前記基板のアノード側から比較的低加速電圧の電子線照射を行なうことを特徴とするライフタイム制御方法。

【請求項10】 前記基板のアノード側から比較的低加速電圧の電子線照射を行う代わりに、前記基板のカソード側から比較的高加速電圧の電子線照射を行なうことを特徴とする請求項1記載のライフタイム制御方法。

【請求項11】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、

電子線、フッ素イオン、ヘリウム等の荷電粒子のうち、何れか1種類の荷電粒子を前記基板に対して少なくとも2回以上照射し、電流が急激に減少が起こる直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とするライフタイム制御方法。

【請求項12】 前記電子線、フッ素イオン、ヘリウム等の荷電粒子のうち、それぞれ異なる種類の荷電粒子を前記基板に対して複数回照射したことを特徴とする請求項11記載のライフタイム制御方法。

【請求項13】 前記荷電粒子は、前記基板のアノード側、カソード側、またはアノード側及びカソード側に対して照射したことを特徴とする請求項1または12記載のライフタイム制御方法。

【請求項14】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、

前記1層におけるアノード側、カソード側とにライフタ

起起こ直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とするライフタイム制御方法。

【請求項15】 請求項1～8記載の半導体素子において、

請求項10～14記載のライフタイム制御方法を適用したことを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電力変換装置に使われる半導体素子、特にpinダイオードに関し、電流減少による静電誘導を低減して、安定した動作を可能にした半導体素子およびライフタイム制御方法に関するものである。

【0002】

【従来の技術】 pinダイオードは、電力変換装置に広く使われ、高耐圧と低い順方向電圧降下とを表現することのできる半導体素子である。

【0003】 図18A(概略構成図)、B(不純物濃度分布図)は、一般的に知られているpinダイオードの説明図を示すものである。図18において、符号2は、極めて低濃度のn型半導体から成る基板(一般に、n型半導体)から成る基板の一方の端部に設けられたp型半導体から成るアノード層(アノード領域)以下、p型アノード層)を示すものであり、符号3は前記基板の他方の端部に設けられた比較的高濃度のn型半導体から成るカソード層(カソード領域)以下、n型カソード層と称する)を示すものであり、符号1は、前記p型アノード層とn型カソード層との間に形成された1層(真性層)を示すものである。前記1層1、p型アノード層2、n型カソード層3によりpinダイオードが構成される。

【0004】 図18に示したようなpinダイオードは、逆電圧印加時に1層が空乏化し、高い電圧が強い1層にかけられる。順方向特性においては、強い1層にてキャリアが充満し、低い電圧降下が生じる。

【0005】

【発明が解決しようとする課題】 前記pinダイオードの逆回復特性において、図19の回路図に示すようなpinダイオード4に有極性のアノード回路を付与した場合、図20の電流(曲線I_a)・電圧(曲線V)波形のような特性を示す。図20において、pinダイオードにおける電流は、電流曲線I_aにおける一直線領域で囲まれた部分に示すように連続(点線部)ではなく、突然消滅(矢線部)していることが読み取れる。このような急峻な立ち下りにより、強い印加電圧の状態からオフ状態の誘導電圧が重畳された状態になり、その誘導電圧が耐圧を超えた場合には、ダイオードが破壊されてしまう。

【0006】 図21は、pinダイオードにおける逆過

電圧印加時の電流・電圧特性を示す図である。図21中の電流曲線I_aにおいて、a点はpinダイオードに順方向電流が流れている部分で、b点はpinダイオードに逆方向電流が消滅する直前部分を、c点はpinダイオードに逆方向電流が消滅した部分を示すものである。

【0007】 図22、23、24は、それぞれ図21中のa、b、c点における距離(ピンダイオードにおける、n型アノード層側の端部からの距離)に対する電子濃度分布図、ホール濃度分布図、電界強度が低減した部分を示す図である。図22、23に示したように、逆回復時にn型カソード層近のキャリア(電子およびホール)が消滅すると同時に、1層におけるホール濃度が急激に低下しているために、図20に示したような急激な電流

の減りが起こることを判明した。

【00105】また、図24に示すようにp-nタイナーには、n型カソード層側の電界とは別にn+型カソード層側においても電界(図24中の点線部)が生じてしまい、それらp型アノード層側とn+型カソード層側との各電界が互いに重なり合うために、n+型カソード層側のキャリアが急激に減少してしまうことを認めることができる。

【00106】本発明は、前記課題に基づいて成されたものであるが、逆回復終了時の電流の急激な電流低下を緩和し、スローク電圧の発生を抑制して安定した動作が可能でp-nダイオード等の半導体素子およびデバイス製造制御方法を提供することにある。

【00107】

【課題を解決するための手段】本発明は、前記課題の解決を図るために、第1発明は、低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、前記カソード層と1層との間に比較的低濃度のn型半導体から成る不純物層を設けたことを特徴とする。

【00108】第2発明は、前記第1発明において、前記不純物層の厚さは、前記1層の厚さと比較して薄くしたことを特徴とする。

【00109】第3発明は、前記第1発明において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、バンドギャップを E_g 、前記1層の濃度を N_1 、前記1層の厚さを W_1 、前記不純物層の濃度を N_n 、前記不純物層の厚さを W_n 、前記不純物層における電界が0の部分と前記 W_1 との間の距離を W_n' 、最大電界強度を E_{max} 、前記1層とn型不純物層との濃度差によって電界の傾きが変化する際の電界強度を $E:n$

f 、設計耐圧を V_b 、p-i接合で得られる最大の耐電圧値を V_{bm} として、前記 V_b は $(E_{max} + E:n f) W_1 / (2 + E:n f W_n') < 2$ 、前記 E_{max} は前記1層の濃度 N_1 の関数 $(2 V_{bm} / (2 \epsilon_0 \epsilon V_{bm} + q N_1))^{1/2}$ 、前記 $E:n f$ は $E_{max} - q N_n W_1 / \epsilon_0 \epsilon$ 、前記 W_n' は $E:n f / (q N_n / \epsilon_0 \epsilon)$ 、前記 V_{bm} は $q (10^{16} / N_1)^{1/2} \times (E_g / 1 - 1)^{1/2}$ となるように、前記 W_n から W_n' を引いた距離が前記基板のカソード側における電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする。

【00110】第4発明は、低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、前記1層とカソード層との間にそれぞれ前記1層の濃度と比較して高濃度のn型半導体から成る不純物層を複数設けたことを特徴とする。

【00111】第5発明は、前記第4発明において、前記不純物層は、前記1層の濃度 N_1 と比較して高濃度のn型半導体から成る第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体から成る第2不純物層とから成ることを特徴とする。

【00112】第6発明は、前記第4発明において、前記不純物層をC段設け、前記1層の濃度を N_1 、厚さを W_1 とし、半導体素子の深さ方向の任意の距離を x 、その x における電界を $E(x)$ 、厚さを $W(x)$ 、濃度を $N(x)$ とし、C段目の不純物層の電界を $E(x)$ 、厚さを $W(x)$ とし、前記C段目の不純物層における電界が0の部分と前記 W_1 との間の距離を $W(x)$ とし、設計耐圧を V_b として、下記の数式、

【00113】

【数4】

$$x=0$$

【00114】が成り立つようにすると共に、前記 $W(x)$ から $W(x)$ を引いた距離が前記カソード側に生じる電界の距離と比較して長くするように、前記 $W(x)$ 、 $N(x)$ をそれぞれ設計したことを特徴とする。

【00115】第7発明は、前記第6発明において、真空の誘電率を ϵ_0 、半導体材料の比誘電率を ϵ 、電子の電荷量を q 、p-i接合で得られる最大の耐電圧値を V_{bm} として、 $E(x)$ は $(2 V_{bm} / (2 \epsilon_0 \epsilon V_{bm} + q N_1))^{1/2}$ 、 $E(x)$ ($n \neq 0$)は

【00116】

【数5】

$$E(x) = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N(x) W(x))$$

【00117】となることを特徴とする。

【00118】第8発明は、前記第6または第7発明において、前記複数段目の不純物層は、濃度分布 $N(x)$ が近似的にガウス分布となるように基板の距離 d_0 から d_0 倍濃度 N_1 の拡散を d_0 倍して形成し、前記 d_0 と、前記拡散による濃度が1層の濃度 N_1 の2倍になる部分との間の距離 W_d として、

【00119】

【数6】

$$N(x) = N_i + (N_n - N_i) \left(\frac{N_i}{N_n - N_i} \right)^{\frac{(x-d_0)^2}{W_d^2}}$$

【0023】が成り立つようにし、前記 $N(x)$ の式における x の微小区間 Δx を前記設計耐圧 V_b の式の $W(x)$ とすると共に、前記微小区間 Δx の濃度を $N(x)$ として求めた耐圧が設計耐圧となるように、前記 N_n 、 d_0 、 W_d を設計したことを特徴とする。

【0024】第9発明は、低濃度の n 型半導体から成る基板の一方の端部には n 型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度の n 型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、電流の急激な減少が起こる直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように、前記基板のアノード側から比較的低加速電圧の電子線照射を行ったことを特徴とする。

【0025】第10発明は、前記第9発明において、前記基板のアノード側から比較的低加速電圧の電子線照射を行う代わに、前記基板のカソード側から比較的高加速電圧の電子線照射を行ったことを特徴とする。

【0026】第11発明は、低濃度の n 型半導体から成る基板の一方の端部には n 型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度の n 型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、電子線、フロン、ヘリウム等の荷電粒子のうち、何れか1種類の荷電粒子を前記基板に対して、1cm²以上を照射し、電流の急激な減少が起こる直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とする。

前記電子線、フロン、ヘリウム等の荷電粒子のうち、それぞれ異なる種類の荷電粒子を前記基板に対して複数回照射したことを特徴とする。

【0028】第13発明は、前記第11または第12発明において、前記荷電粒子は、前記基板のアノード側、カソード側、またはアノード側およびカソード側に対して照射したことを特徴とする。

【0029】第14発明は、低濃度の n 型半導体から成る基板の一方の端部には n 型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高

$$V_b = E_{\max} + E_{\min} / W_1 / 2 + E_{\min} / W_n / 2 \quad (1)$$

前記(1)式が成り立つ必要がある理由は、電圧における電界が n 型カソード層に達しないようにするためである。

濃度の n 型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のライフタイム制御方法において、前記1層におけるアノード側とカソード側とのライフタイムの短い層を設けることにより、電流の急激な減少が起こる直前の印加電圧によって生じる電界で、1層側の一端とカソード層との間のライフタイムを長くするように制御したことを特徴とする。

【0030】第15発明は、前記第1～第8発明において、前記第9～第14発明のライフタイム制御方法を用いたことを特徴とする。

【0031】

【発明の実施の形態】以下、本発明の実施の第1～第11形態を順面に基づいて説明する。

【0032】本発明の実施の第1～第7形態は、逆回復終了時の前流の急激な電流低下を緩和し、スローク電圧の発生を抑制した $p-n$ ダイオードを検討したものである。

【0033】 $p-n$ ダイオードA(概略構成図1)、B(不純物濃度分布図)、C(前流印加時の電界強度分布図)は、本発明の実施の第1形態に対応した $p-n$ ダイオードの説明図を示すものである。図1において、符号 a は、1層1の n 型カソード層との間に形成される n 型半導体から成る不純物層(1層)と n 型アノード層との電濃度(以下、 n 型不純物層と称する)を示すものである。

【0034】ここで、前記1層1における距離(長さ)を W_1 、その1層1の不純物濃度を N_1 とし、前記 n 型不純物層6の距離を W_n 、その n 型不純物層6の不純物濃度を N_n とする。まず、前記 W_1 と W_n とにおいて、前記 W_n が長く、短くなり過ぎると両方向電圧降下上昇を招くため、前記 W_n は前記 W_1 と比較して十分短く(薄く)することが要求される。そのため、前記 W_1 と W_n とにおいて、関係式 $W_1 > W_n$ が成り立つことが必要である。

【0035】また、 $p-n$ ダイオードA(設計耐圧 V_b)が

強度は、アノード側からカソード側へ電圧が印加された場合、最大電界強度 E_{\max} により決定されるように設計した場合、 $p-n$ ダイオードAにおいて近似的に上記の(1)式が成り立つ必要がある。なお、 E_{\min} は1層1と n 型不純物層6との濃度差によって電界の傾きが変化し、降下電界強度を示すものである。また、 W_n' は電界が0になった際の W_1 との距離であり、その W_n' は W_n と比較して短いものとする。

【0036】

【0037】前記(1)式 E_{\max} は、下記の N_1 の関係で表すことができる。なお、 V_{bm} は1層1が十分に長い場合に得られる最大の耐電圧値(p 型アノード層と

1層との接合(p-n接合)で得られる最大耐電圧値)を示すものである。

$$(2Vb/\alpha_m)(2\epsilon_0\epsilon Vb/m/qN_1)^{1/2} \quad (2)$$

また、 E_{1n} においては、

$$E_{max}=qN_1W_1/\epsilon_0\epsilon \quad (3)$$

W_1 においては、

$$6.0(1.0 \times 10^{-10} \leq N_1 \leq 10^{18} \text{ cm}^{-3}; F_g \leq 1.1 \times 10^6) \quad (5)$$

を表すことができる。なお、前記(1)は真空中の熱電率が半導体材料の比誘電率、 q は電子の電荷量、 E_g はバンドギャップであるものとする。また、 W_n から $W_{n'}$ を差し引いた距離は、カソード側に生じる電界の距離と比較して長いものとする。

【0039】次に、本発明の実施の第2形態を説明する。前記図1に示したp-nダイオードのNnの濃度と N_1 の濃度とが異なる場合、1層1とn型不純物層6との場合、図1に示すように、層1とn型カソード層3との接合で起る現象と同一現象が生じ、リーク電流が発生する場合がある。この場合、 N_n の濃度を薄くすると W_n が長くなってしまい、順方向電圧降下の上昇を招いてしまう。そこで、図2(詳細を後述する)の本実施の第2形態に示すように、1層とn型カソード層との間に複数段の不純物層を設けた構造のp-nダイオードの検討を行った。

【0040】図2A(概略構成図)、B(不純物濃度分布図)、C(前記印加時の電界強度分布図)は、本実施の第2形態におけるp-nダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。

$$Vb = \left(\sum_{x=0}^{n-1} (E_{(x)} - E_{(x+1)}) W_{(x)} + E_{(n)} W_{(n)} \right) / 2 \quad (6)$$

【0044】なお、前記 W_n から $W_{(n)}$ を差し引いた距離は、カソード側に生じる電界の距離と比較して長いものとする。

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)}) \quad (7)$$

【0046】次に、本発明の実施の第3形態を説明する。図3A(概略構成図)、B(不純物濃度分布図)、C(前記印加時の電界強度分布図)は、本実施の第3形態におけるp-nダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図3において、p-nダイオードのカソード側にn型不純物によるスローブな拡散を行って、1層1とn型カソード層3との間にn型拡散層8を形成する。前記n型拡散層8の不純物濃度はガウス分布をなし、そのガウス分布は下記の数式で表すことができる。

【0038】

$$E_{1n} = f_1(qN_n/\epsilon_0\epsilon) \quad (4)$$

Vb においては

【0041】図2において、符号7aは、1層1とn型カソード層3とを挟む第2n型不純物層との間に設けられる第1n型不純物層を示すものであり、その第1n型不純物層7aの不純物濃度は前記1層1の不純物濃度よりも高いものとする。符号7bは、前記第1n型不純物層7aとn型カソード層3との間に設けられる第2n型不純物層を示すものであり、その第2n型不純物層7bの不純物濃度は第1n型不純物層7aの不純物濃度よりも高く、且つ前記n型カソード層3よりも近いものとする。前記第1n型不純物層7aおよび第2n型不純物層7bの不純物濃度の比率は、スバイク電圧が発生しないように制御される。

【0042】図2に示したp-nダイオードの場合、1層1とn型カソード層3との間には2段のn型不純物層(第1、第2n型不純物層)を形成して成るが、それらn型不純物層を複数段にすることにより、順方向電圧降下の上昇をより抑えることができる。例えば、前記複数段のn型不純物層をn段にした際の耐圧 Vb は、下記の数式が成立するようにする。

【0043】

【数7】

(2)式で表すことができ、 $E_{(n)}$ ($n=0$)は下記の数式で表すことができる。

【0047】

【数9】

$$N_{(x)} = N_i - (N_n - N_i) \left(\frac{N_i}{N_n - N_i} \right)^{\frac{(x-d_0)^2}{W_d^2}} \quad (8)$$

【0048】なお、前記(8)式における x の微小区間 Δx は前記(6)式の $W_{(x)}$ とし、その際の不純物濃度を $N_{(x)}$ とすると、前記(6)式と同様に耐圧を計算することができ、その耐圧がp-nダイオードの設計耐圧となる。

【0019】前記(8)式より、 $x \ll d$ のときに $N_{10} = N_{11}$ となることを読み取ることで、前記(9)は n - n 接合に1層と n -型ワード1層との接合よりもワード側に位置するものとし、素子内部にある必要はない。また、前記のような条件では、一般にワード側に対して不純物濃度が増加するような構造にすることができ、なお、前記(13)中の任意部は、前記(9)式を基礎として不純物(n -型不純物)を拡散させた際の不純物濃度分布を示すものであり、さらに n -型不純物を拡散させた際の不純物濃度分布は実線部に示される。

【図 5-5】 図 4 に示す p - n タイプの半導体の場合、 n -型不純物層中の不純物濃度 N_1 は主層 1 の不純物濃度 N よりも高値となる。例として、例示に図 5 A、概略構成図、B の不純物濃度分布面に示すように、主層 1 の濃度 N と n -型不純物層 9 の濃度 N_1 とを等しくして p - n タイプの半導体を構成しても良い。また、図 6 A、概略構成図、B の不純物濃度分布面に示すように、 n -型不純物層 9 の濃度 N_1 を主層 1 の濃度 N よりも高値にしても良い。なお、前記 p - n タイプの半導体における面印刷如時の境界は、 n -型不純物層 6 内あるいは n -型不純物層 9 内に存在しても問題はない。その電界をカソード側から主層 1 の境界を越えたい方向に作用させる必要がある。

【0005】前記n型不純物層10(下不純物濃度は、前記混雑時のn型不純物層のn最終段より第(n+1)型不純物層10に於ける場合、前(n型不純物層)の界面濃度 $N_{(0,n)}$)よりも低いものとす。例えば、1層1の下不純物濃度のよりも低くても良い。また、前記n型不純物層10(図8A、概略構成図)、b、不純物濃度分

【００５４】次に、本発明の実施の第６形態を説明する。図４に示したｐ－ｎダイオードの場合では、ｄ０はｎ－ｎ'接合よりカソード側に位置し、素子内部に位置する必要は無いと記載したが、そのｄ０がｎ－ｎ'接合よりカソード側に位置した場合においても問題はない。例え、図４(A)（略構成図）、B（不純物濃度分布図）のｐ－ｎダイオードの説明図に示すように、ｄ０がｎ－ｎ'接合よりカソード側に位置した場合、ｎ型不純物層１１の不純物濃度 N_{n1} （ n 型不純物層１１における不純物濃度の最上値よりも極めて低い部分の平均値）（符号１１ α ）が形成される。また、極端な一例として、図１０(A)（略構成図）、B（不純物濃度分布図）に示すように、図４のｐ－ｎ型不純物層１１と n 型カソード層１２との間に、 n 層１より不純物濃度の低い n 型不純物層１２を形成した場合においても、図４に示したｐ－ｎダイオードと同様の効果が得られる。

【0055】次に、本発明の実施の第7形態を説明する。図11(A)概略構成(4)、(5)下種物濃度(4前号)は、本発明の第7形態におけるn型(14a、14b)の説明図を示している。なお、図11に下種物を同様なものに置き換えておける。その詳細な説明を省略する。図11において、符号13a、13bは、それぞれ下種物濃度が異なり、エヒタヤシロ成長あるいは基板の張り合わせ面により第1、第2n型下種物層(下種物濃度)；第1n型下種物層13a、第2n型下種物層13bをそれぞれ示す。符号14a、14bは、それぞれ下種物濃度が異なり、エヒタヤシロ成長あるいは基板の張り合わせ面により前記第2n型下種物層13bとn型下種物層3との間に形成される第1、第2n型下種物層(下種物濃度)；第1n型下種物層14aと第2n型下種物層14bとを示している。

【0057】次に、 p - n - n 型トランジスタの通電復終了時の急激な電流減少を緩和する手段として、 p - n 型トランジスタにおける1型カソード付与領域の幅を、 n -型カソード層以外の領域におけるウェイクタイムと比較して長とする方法を説明する。

【0058】図12は、厚さが500nmのp-nタイオードにおいて、種々の加速エネルギーで電子線照射した際のシリコン中の深さに対する吸収量(規格化した吸収量)分布特性図であり、電子銃とシリコン(基板)との間に0.0nmのエネギヤップが存在したモデルのシミュレーションの結果を示すものである。前記吸収量とライフタイムとは強い相関を有し、その吸収量が増えるほどライフタイムは短くなる。そのため、図12により、加速エネルギーに対するライフタイム分布を読み取ることでできる。

【0059】図12に示すように、電子線の加速電圧が0.5MeVの場合(曲線a)、p-nタイオードにおける照射される側の表面(深さ0nm;以下、照射面と呼称)に近くなるほどライフタイムは短く、その照射面から遠くなるに連れて電子線によるライフタイムの影響が無くなることを読み取れる。前記加速電圧が1MeV(曲線b)の場合には、p-nタイオードにおける照射面からの深さ200nm付近が最もライフタイムが短くなり、その深さ200nm付近から遠くなるに連れてライフタイムが長くなっていることを読み取れる。前記加速電圧が2MeV(曲線c)、5MeV(曲線d)の場合には、p-nタイオードにおける照射面から遠くなるに連れてライフタイムが受けられなくなることを読み取れる。

【0060】図12に示したようなライフタイム分布によりp-nタイオードの厚さを考慮し、p-nタイオードにおけるn型カソード層付近のライフタイムを長くする電子線の照射方法について、本発明の実施の第8形態により説明する。

【0061】本実施の第8形態における電子線照射方法は、図13A(概略構成図)、B(不純物濃度分布図)、C(吸収量分布図)に示すように、p-nタイオードにおけるp型アノード層2側の端部から中加速電圧および低加速電圧の電子線を照射する。または、図14A(概略構成図)、B(不純物濃度分布図)、C(吸収量分布図)に示すように、p-nタイオードにおけるp型アノード層2側の端部から中加速電圧または高加速電圧の電子線を照射しても良い。

アノード層3側の端部から中加速電圧または高加速電圧の電子線を照射しても良い。

【0062】図13、14に示すように、比較的低い加速電圧の電子線をp-nタイオードにおけるp型アノード層2側の端部から照射する。または比較的高い加速電圧の電子線をn-nタイオードにおけるn型カソード層3側の端部から照射することにより、p-nタイオードにおけるライフタイムを制御することが可能となる。なお、本発明の第8形態におけるp-nタイオードのライフタイムを長くする位置は、電流の色散が減少し起こる直前の印加電圧によって生じる電界において、1層1側の一端とn型カソード層3との間を意味する。そのため、単に素子本体でカソード側のライフタイムを長くすれば良いというものではない。

【0063】本実施の第8形態におけるライフタイム制御方法は電子線を照射したものであるが、その電子線以外には、ヘリウム等の荷電粒子の照射を行う場合にも、半直幅が狭くなってしまふため、高い加速電圧により前記半直幅を広げる。または素子に対して種々の方向から照射を行うことにより、前記電子線の照射と同様の効果が得られる。そこで、ヘリウム等の荷電粒子の照射によるライフタイム制御方法について、本発明の実施の第9～第11形態により説明する。

【0064】本実施の第9形態におけるライフタイム制御方法は、図15A(概略構成図)、B(不純物濃度分布図)、C(吸収量分布図)に示すように、p-nタイオードにおけるp型アノード層2側の端部から、同一種類の荷電粒子を複数回照射(複数照射)する。なお、図15はヘリウム等の荷電粒子の場合、そのp-nタイオードにおけるp型アノード層2側の端部からの複数照射が行われている。その複数照射をp-nタイオードにおけるn型カソード層3側の端部から、或いは前記2側の複数照射を受けそれぞれ別方向(p-nタイオードのp型アノード層2側およびn型カソード層3側の端部)から行っても良い。

【0065】前記照射量を調整するには、加速電圧を変化させる。或いは照射源と被照射層との間に、シリコンまたはシリコン等から成る板を介在させ、その板の厚さを種々調整することにより行われる。その際、電流の色散が減少し起こる直前の印加電圧によって生じる電界において、1層1側の一端とn型カソード層3との間の領域の吸収量は、その1層1側の一端からn型カソード層3との間の領域以外の部分と比較して小さくなるようにp-nタイオードの設計を行う。

【0066】本実施の第10形態におけるライフタイム制御方法は、図16A(概略構成図)、B(不純物濃度分布図)、C(吸収量分布図)に示すように、p-nタイオードにおけるp型アノード層2側の端部からそれぞれ異なる種々の位置からヘリウム等の荷電粒子

を、そのp-nタイオードにおけるp型アノード層2側の端部から複数照射が行われている。その複数照射をp-nタイオードにおけるn型カソード層3側の端部、或いは複数照射を受けそれぞれ別方向(p-nタイオードのp型アノード層2側およびn型カソード層3側の端部)から行っても良い。

【0067】前記複数照射における照射量を調整するには、加速電圧を変化させる。或いは照射源と被照射層との間に、シリコンまたはシリコン等から成る板を介在させ、その板の厚さを種々調整することにより行われる。その際、電流の色散が減少し起こる直前の印加電圧によって生じる電界において、1層1側の一端とn型カソード層3との間の領域の吸収量は、その1層1側の一端とn型カソード層3との間の領域以外の部分と比

較して少なくなるようにpinダイオードの設計を行う。

【0068】本発明の第10形態におけるライフタイム制御方法以外で、たとえば自発発光のライフタイムキラーをpinダイオードにおけるp型アノード層2側の端部から拡散することにより、電流の急激な減少が起る直前の印加電圧によって生じる電界において、n層1側の一端とn型カソード層3との間の領域のライフタイムを長くする方法についても、本発明の第10形態における照射方法と同様の効果が得られる。

【0069】次に、本発明の実施の第11形態におけるライフタイム制御方法を、図17A(概略構成図)、B(純物質濃度分布図)、C(吸収量分布図)の説明図に基づいて説明する。なお、図17Cには示すものと同様のものには同一符号を付して、その詳細な説明を省略する。

【0070】pinダイオードにおける導通時のキャリア分布は、n層1側の供給源となるアノード層の濃度、電子の供給源となるカソード層の濃度、そしてライフタイムによって決定される。そこで、図17に示すように、pinダイオードにおけるn型アノード層2側の端部とn型カソード層3側の端部とに、荷電粒子を照射して、荷電粒子の吸収が面線素で示すように、n層1側の領域1におけるn型キャリア濃度がn型カソード層3側とライフタイムの短い層とを兼ねられ設けられることにより、それらの間のライフタイムの短い層間においてn層1側の純物質濃度は低くなる。なお、図17中の面線素は導通時のキャリア濃度分布、曲線素は前記のライフタイム制御を行わない時のキャリア濃度分布を示すものである。

【0071】図17に示すようなキャリア濃度分布により、電流の急激な減少が起る直前の印加電圧によって生じる電界において、n層1側の一端とn型カソード層3との間の領域のキャリア濃度が高くなるように、前記pinダイオードのn型アノード層2側の端部とn型カソード層3側の端部とに、荷電粒子の照射位置お

効果は、拡散プロセスを用いた場合においても得られる。

【図面の簡単な説明】

【図1】本発明の実施の第1形態におけるpinダイオードの説明図。

【図2】本発明の実施の第2形態におけるpinダイオードの説明図。

【図3】本発明の実施の第3形態におけるpinダイオードの説明図。

【図4】本発明の実施の第4形態におけるpinダイオード($N_1 > N_2$)の説明図。

【図5】本発明の実施の第4形態におけるpinダイオード($N_1 = N_2$)の説明図。

【図6】本発明の実施の第4形態におけるpinダイオード($N_1 < N_2$)の説明図。

【図7】本発明の実施の第5形態におけるpinダイオード(n型純物質層10)の説明図。

【図8】本発明の実施の第5形態におけるpinダイオード(n型純物質10a、10b)の説明図。

【図9】本発明の実施の第6形態におけるpinダイオード(n型純物質11のみ)の説明図。

【図10】本発明の実施の第7形態におけるpinダイオード(n型純物質11とn型純物質12)の説明図。

【図11】本発明の実施の第7形態におけるpinダイオードの説明図。

【図12】シリコン中の深さに対する吸収量分布図。

【図13】本発明の実施の第8形態におけるライフタイム制御方法(n側側)の説明図。

【図14】本発明の実施の第8形態におけるライフタイム制御方法(p側側)の説明図。

【図15】本発明の実施の第9形態におけるライフタイム制御方法の説明図。

【図16】本発明の実施の第10形態におけるライフタイム制御方法の説明図。

ライフタイム制御方法の説明図。

【図18】一般的に知られているpinダイオードの説明図。

【図19】一般的に知られているpinダイオードの回路図。

【図20】一般的に知られているpinダイオードの電流・電圧特性図。

【図21】一般的に知られているpinダイオードのキャリア電流特性図。

【図22】一般的に知られているpinダイオードの電圧濃度特性図。

【図23】一般的に知られているpinダイオードホール濃度特性図。

【図24】一般的に知られているpinダイオード電界

線および強度を制御することにより、pinダイオードにおける逆回復電流を良好に制御することができる。

【0072】以上示したとおり、本発明の第1～第7形態によるpinダイオードにおいて、本発明の第8～第11形態におけるライフタイムの制御方法を適用することにより、設計電圧と逆回復時の急激な電流減少による誘導電圧をより低減することができる。pinダイオードの動作をより安定させることが得られる。

【0073】

【発明の効果】以上示したとおり、本発明によれば、順方向電圧降下率、および、逆回復状態での設計電圧と逆回復時の急激な電流減少をより効果的に緩和し、その電流減少による誘導電圧を低減することができ、安定したダイオードの動作を実現することができる。このような

強度特性図。

【符号の説明】

i...i層

2...p型アノード層

3...n⁺型カソード層

6, 11...n型不純物層

7a, 13a...第1n型不純物層

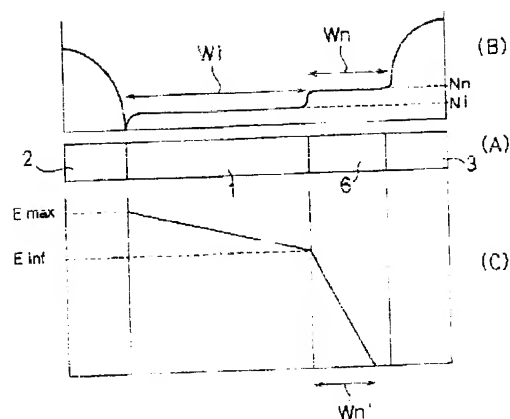
7b, 13b...第2n型不純物層

8...n型拡散層

9, 10, 12...n⁺型不純物層10a, 14a...第1n⁺型不純物層10b, 14b...第2n⁺型不純物層

【図1】

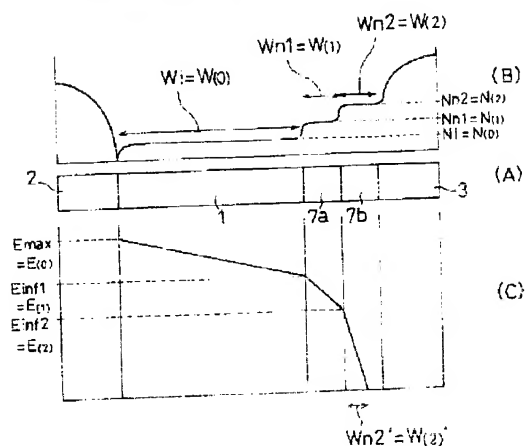
本発明の実施の第1形態におけるp-i-nダイオード



1...i層
2...p型アノード層
3...n⁺型カソード層
6...n型不純物層

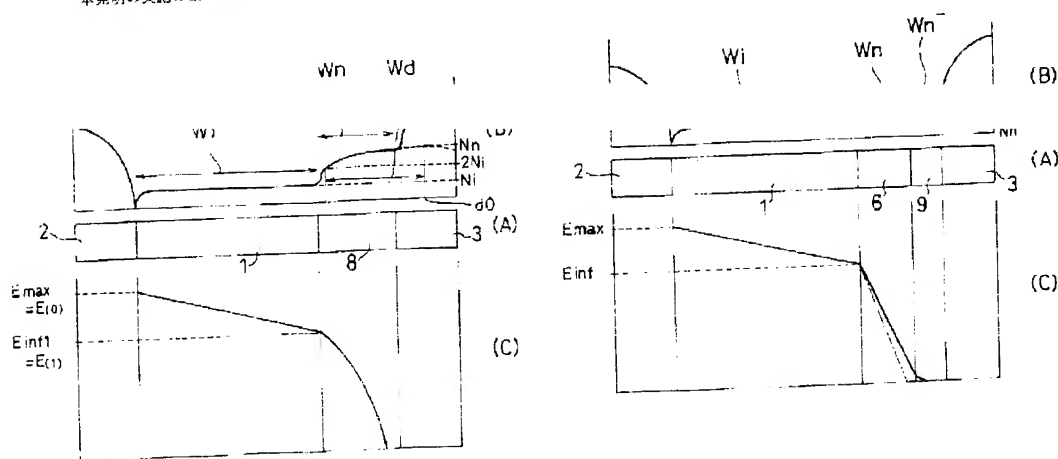
【図2】

本発明の実施の第2形態におけるp-i-nダイオード



7a...第1n型不純物層
7b...第2n型不純物層

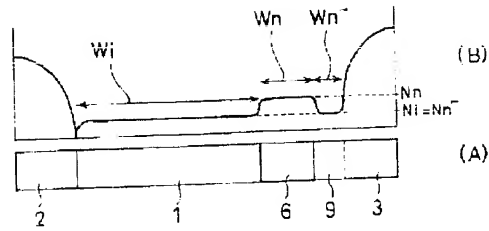
【図4】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i > N_{n1}$)9...n⁺型不純物層

8...n型拡散層

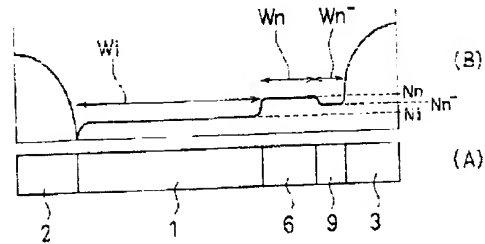
【図5】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i = N_n^-$)



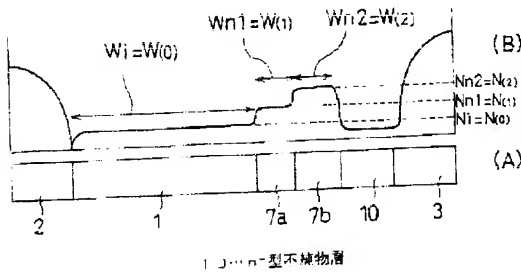
【図6】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i < N_n^-$)



【図7】

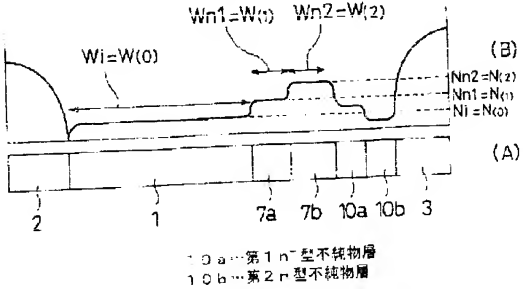
本発明の実施の第5形態におけるp-i-nダイオード (n^- 型不純物層10)



10... n^- 型不純物層

【図8】

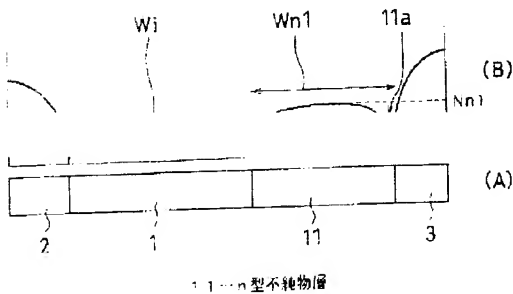
本発明の実施の第5形態におけるp-i-nダイオード
(n^- 型不純物層10a、10b)



10a...第1 n^- 型不純物層
10b...第2 n^- 型不純物層

【図9】

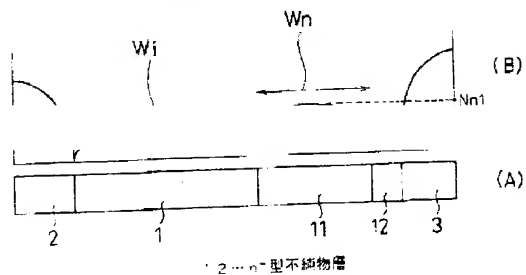
本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層11のみ)



11... n^- 型不純物層

【図10】

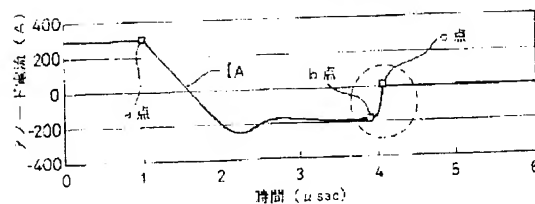
本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層11と n^- 型不純物層12)



12... n^- 型不純物層

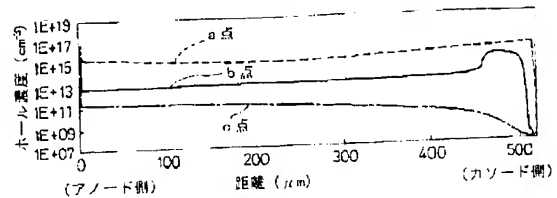
【図21】

p-i-nダイオードのアノード電流特性図

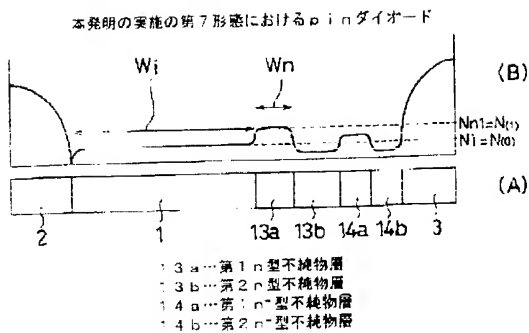


【図23】

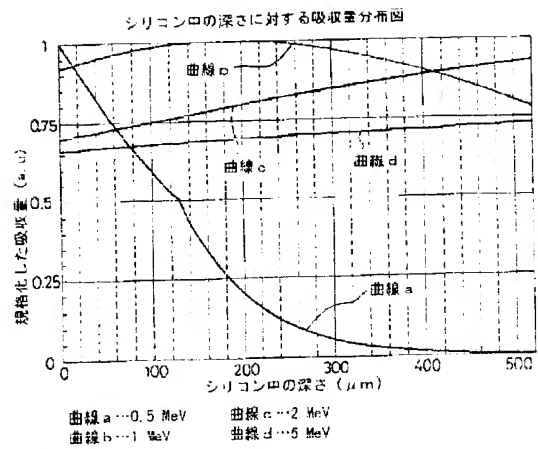
p-i-nダイオードホール濃度特性図



【図11】

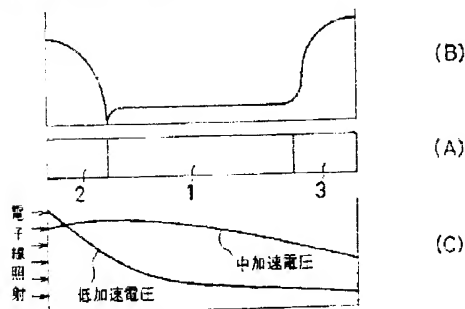


【図12】



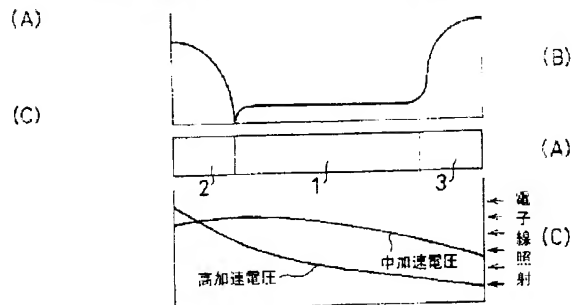
【図13】

本発明の実施の第8形態におけるライフタイム制御方法（アノード側）



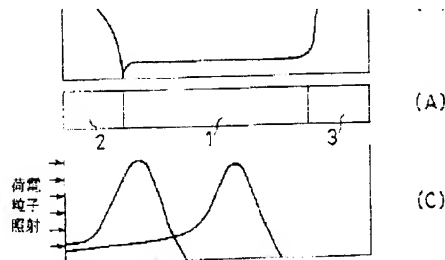
【図14】

本発明の実施の第8形態におけるライフタイム制御方法（カソード側）

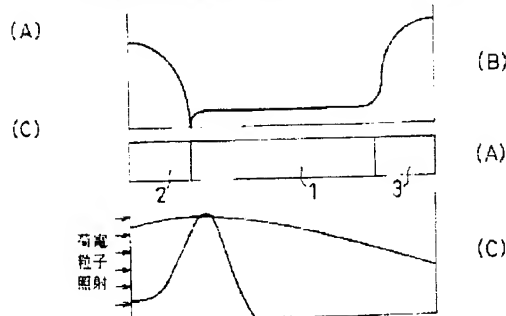


【図15】

本発明の実施の第9形態におけるライフタイム制御方法

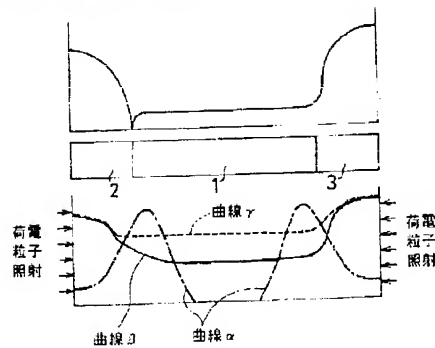


本発明の実施の第10形態におけるライフタイム制御方法



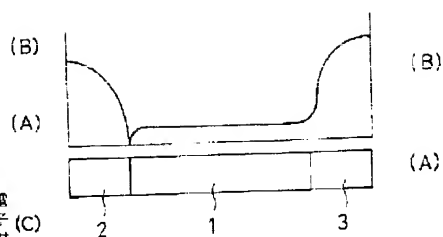
【図17】

本発明の実施の第1形態におけるライフタイム制御方法



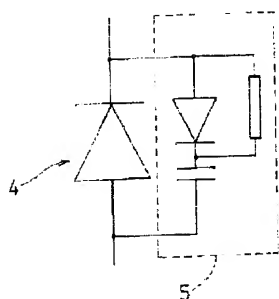
【図18】

一般的に知られているpinダイオード



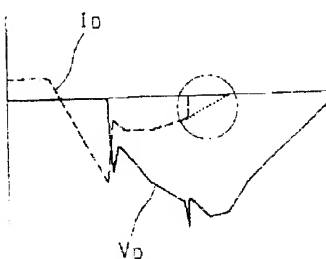
【図19】

スナバ回路を用いたpinダイオードの回路図



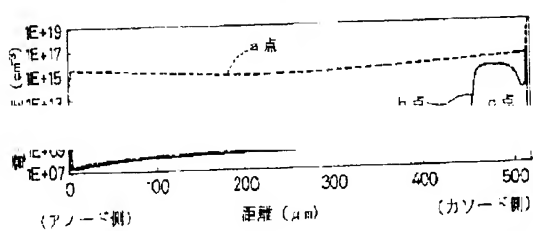
【図20】

pinダイオードの電流・電圧波形図



【図22】

pinダイオードの電子濃度特性図



【図24】

p-nダイオード電界強度特性図

